

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-281083

(P2003-281083A)

(43)公開日 平成15年10月3日(2003.10.3)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコト(参考)
G 0 6 F 13/372		G 0 6 F 13/372	B 5 B 0 6 0
12/00	5 7 1	12/00	5 7 1 A 5 B 0 6 1
13/18	5 1 0	13/18	5 1 0 A 5 C 0 2 2
// H 0 4 N 5/232		H 0 4 N 5/232	Z 5 C 0 5 2
5/907		5/907	B

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21)出願番号 特願2002-87930(P2002-87930)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日 平成14年3月27日(2002.3.27)

(72)発明者 藤川 裕文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100090181

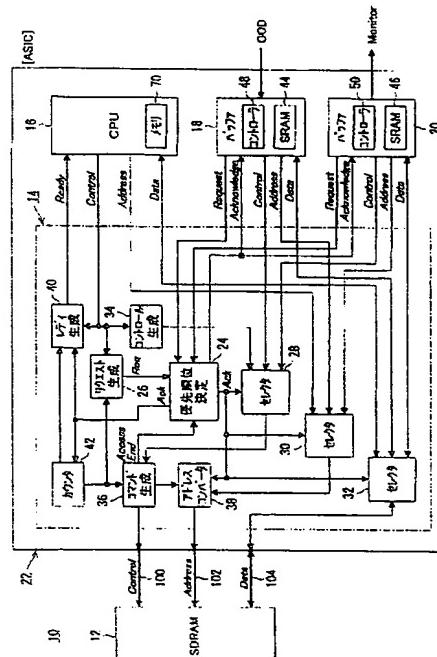
弁理士 山田 義人

(54)【発明の名称】 バスコントロール回路

(57)【要約】

【構成】 CPU16、バッファ18および20は、メモリコントローラ14を介してSDRAM12にアクセスする。メモリコントローラ14は、アクセス周期が決まっているバッファ18および20によるアクセスを優先させ、CPU16によるアクセスについては、1回のアクセス時間を制限する。具体的には、CPU16によるアクセス時間をカウンタ42でカウントして、このカウント値が所定の閾値に達したときに、当該CPU16によるアクセスを中断する。そして、バッファ18および20によるアクセスが終了した後、CPU16によるアクセスを再開させる。

【効果】 アクセス周期が決まっているバッファ18および20によるアクセスを確実に保証することができ、ひいてはこれらバッファ18および20における処理の破綻を防止することができる。



1

【特許請求の範囲】

【請求項1】転送周期が規定されている第1データに対する第1バス開放要求と転送周期が規定されていない第2データに対する第2バス開放要求とを調停し、前記第1データおよび第2データのいずれか一方のためにバスを開放するバスコントロール回路において、前記第2データのために前記バスを開放した期間を測定する測定手段、および前記測定手段による測定結果が閾値に達したとき前記第2データのために前記バスの開放を中断する中断手段を備えることを特徴とする、バスコントロール回路。

【請求項2】前記第1データのために前記バスが開放されているか否かを判断する判断手段、および前記判断手段による判断結果に応じて前記第2データのために前記バスの開放を再開する再開手段をさらに備える、請求項1記載のバスコントロール回路。

【請求項3】前記閾値は前記第1データの転送周期から前記第1データを転送するのに要する期間を差し引いた値よりも小さい、請求項1または2記載のバスコントロール回路。

【請求項4】前記第1データはフレームレートが規定された画像データである、請求項1ないし3のいずれかに記載のバスコントロール回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、バスコントロール回路に関し、特にたとえばディジタルカメラに適用され、転送周期が規定されている第1データに対する第1バス開放要求と転送周期が規定されていない第2データに対する第2バス開放要求とを調停し、第1データおよび第2データのいずれか一方のためにバスを開放する、バスコントロール回路に関する。

【0002】

【従来技術】この種のバスコントロール回路は、たとえばディジタルカメラのメモリコントローラに適用される。図7を参照して、ディジタルカメラのバスコントロール回路1においては、図示しないCCD(Charge Coupled Device)センサから出力される画像データを、バッファ2経由で一時記憶装置としてのSDRAM(Synchronous Dynamic RAM)3に記憶する。そして、この記憶した画像データを、別のバッファ4経由で図示しない液晶モニタに入力する。さらに、図示しない操作キーが操作されると、CPU5がSDRAM3にアクセスしながら当該操作に応じた処理を実行する。このようにバッファ2、バッファ4およびCPU5という複数の回路からSDRAM3にアクセスするとき、各々のアクセス要求(リクエスト)を調停するのにメモリコントローラ6が設けられる。

【0003】このような構成のバスコントロール回路においては、CCDセンサから出力される画像データを

2

周期的に(たとえば1秒間に30フレームの周期で)SDRAM3に取り込む必要がある。また、この取り込んだ画像データを周期的に液晶モニタに入力する必要がある。したがって、バスコントローラ6は、図8に示すように、バッファ2からのリクエストを最も優先し、次にバッファ4からのリクエストを優先する。そして、CPU5から不規則に与えられるリクエストに対しては、バッファ4によるアクセスが終了した後に対処している。

10 【0004】

【発明が解決しようとする課題】しかし、従来は、CPU5によるアクセスが終了してからバッファ2およびバッファ4によるアクセスを有効化するようになっていたので、たとえば図9に示すようにCPU5によるアクセス時間が極端に長い場合に、バッファ2およびバッファ4によるアクセスのタイミングに遅れが生じ、処理が破綻するという問題があった。

【0005】それゆえに、この発明の主たる目的は、処理の破綻を防止することができる、バスコントロール回路を提供することである。

【0006】

【課題を解決するための手段】この発明は、転送周期が規定されている第1データに対する第1バス開放要求と転送周期が規定されていない第2データに対する第2バス開放要求とを調停し、第1データおよび第2データのいずれか一方のためにバスを開放するバスコントロール回路において、第2データのためにバスを開放した期間を測定する測定手段、および測定手段による測定結果が閾値に達したとき第2データのためにバスの開放を中断する中断手段を備えることを特徴とする、バスコントロール回路である。

【0007】

【作用】この発明では、第2データのためにバスが開放されたとき、測定手段が当該バスの開放期間を測定する。そして、この測定手段による測定結果が閾値に達したとき、中断手段が当該第2データのためにバスの開放を中断する。したがって、第2データの容量が閾値に相当する量を上回る場合には、当該第2データの転送は中断される。そして、転送周期が規定されている第1データのためにバスが開放される。

【0008】この発明のある実施例では、第1データのためにバスが開放されているか否かを判断する判断手段、および判断手段による判断結果に応じて第2データのためにバスの開放を再開する再開手段をさらに備える。このようにすれば、途中で転送が中断された第2データについても、その全部を確実に転送することができる。

【0009】なお、閾値は、第1データの転送周期から第1データを転送するのに要する期間を差し引いた値よりも小さい値とするのが望ましい。このように閾値を定

めることで、第1データの転送周期を確実に保証することができる。

【0010】第1データは、フレームレートが規定された画像データとすることができます。

【0011】

【発明の効果】この発明によれば、転送周期が規定されていない第2データの容量が閾値に相当する量を上回る場合には、当該第2データの転送が中断され、転送周期が規定されている第1データのためにバスが開放される。したがって、第1データを規定通りの周期で転送させることができ、ひいては処理の破綻を防止することができる。

【0012】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0013】

【実施例】図1を参照して、この実施例のバスコントロール回路10は、デジタルカメラに適用されるもので、主記憶装置としてのSDRAM12、メモリコントローラ14、メモリコントローラ14を介してSDRAM12にアクセスするCPU16、同様にメモリコントローラ14を介してSDRAM12にアクセスする2つのバッファ18および20を有している。このうちメモリコントローラ14、CPU16、2つのバッファ18および20は、ASIC(Application Specified IC)22によって一体に構成されている。そして、一方のバッファ18には、図示しないCCDセンサによって撮影された被写体の画像データが入力され、他方のバッファ20には、図示しないビデオエンコーダを介して図示しないモニタが接続されている。

【0014】SDRAM12とメモリコントローラ14とは、コントロールバス100、アドレスバス102およびデータバス104を介して互いに接続されている。そして、メモリコントローラ14は、CPU16、バッファ18およびバッファ20からのアクセス要求(リクエスト)に対して、各バス100～104の使用を次のように調停する。

【0015】すなわち、図2を参照して、メモリコントローラ14は、バッファ18からのアクセスを最も優先し、当該バッファ18に蓄えられた1フィールド分の画像データを周期T($=1/60$ [秒])でSDRAM12に転送する。そして、メモリコントローラ14は、バッファ20からのリクエストを2番目に優先し、バッファ18からSDRAM12に転送した画像データを周期Tで当該バッファ20に転送する。なお、CPU16は、図示しない操作キーが操作されたときにSDRAM12にリクエストを行うものである。メモリコントローラ14は、バッファ20によるアクセスが終了した後にCPU16からのリクエストに対応すべく、当該CPU16によるアクセスを有効化する。

【0016】このとき、メモリコントローラ14は、CPU16によるアクセスを有効化した時間、換言すればCPU16のために各バス100～104を開放した時間をカウントする。そして、このカウントした時間が有る閾値Tcに達した時点で未だCPU16によるアクセスが継続している場合には、当該CPU16によるアクセスを一旦中断する。そして、上述の優先順位に従ってバッファ18およびバッファ20によるアクセスを順次有効化すべく、バッファ18およびバッファ20のために各バス100～104を開放する。そして、バッファ20によるアクセスが終了した後、改めてCPU16によるアクセスを再開すべく、CPU16のためにバス100～104を開放する。なお、閾値Tcは、バッファ18およびバッファ20によるアクセス周期Tから、これらバッファ18およびバッファ20の各々が実際にSDRAM12にアクセスするのに要する時間(アクセス実効時間)TaおよびTb、を差し引いた値($T - (Ta + Tb)$)よりも小さい値に設定する。

【0017】このようにCPU16によるアクセス時間が閾値Tcよりも長い場合には、当該CPU16によるアクセスを一旦中断して、バッファ18およびバッファ20によるアクセスを優先させることで、これらバッファ18およびバッファ20による周期T内のアクセスを保証している。そして、これらバッファ18およびバッファ20によるアクセスが終了した後、改めてCPU16によるアクセスを再開させることで、当該CPU16による正常なアクセスをも保証している。

【0018】このメモリコントローラ14の一連の動作についてさらに詳しく説明すると、図1に戻って、当該メモリコントローラ14は、優先順位決定回路24、リクエスト信号生成回路26、3つのセレクタ28、30および32、コントロール信号生成回路34、コマンド生成回路36、アドレスコンバータ38、レディ信号生成回路40およびカウンタ42を含んでいる。

【0019】このうちの優先順位決定回路24には、リクエスト信号生成回路26、バッファ18およびバッファ20の各々からリクエスト(Request)信号が入力される。なお、リクエスト信号生成回路26は、CPU16から与えられるコントロール(Control)信号(後述する選択(SEL)信号、読み書き制御(W/R)信号および転送状態(TRANS)信号を含む信号)およびカウンタ42から与えられるリセット信号に基づいて当該CPU16用のリクエスト信号を生成する。さらに、優先順位決定回路24には、コマンド生成回路36から後述するアクセス終了(Access End)信号も入力される。そして、優先順位決定回路24は、これらリクエスト信号およびアクセス終了信号から、CPU16、バッファ18およびバッファ20のいずれのアクセスを有効化するのかを指示するためのアクノリッジ(Acknowledge)信号を生成し、生成したアクノリッジ信号をセレクタ28～3

2, アドレスコンバータ38, レディ信号生成回路40およびカウンタ42に供給する。

【0020】セレクタ28には、CPU16, バッファ18およびバッファ20の各々からコントロール信号が入力される。なお、CPU16のコントロール信号は、コントロール信号生成回路34経由でセレクタ28に入力される。セレクタ28は、これらのコントロール信号のいずれか1つを上述のアクノリッジ信号に従って選択し（詳しくは、CPU16, バッファ18およびバッファ20のうちアクセスを有効化するもののコントロール信号を選択し）、選択したコントロール信号をコマンド生成回路36に入力する。

【0021】コマンド生成回路36は、入力されたコントロール信号およびカウンタ42から与えられるリセット信号に従って、SDRAM12を制御するためのメモリコントロール信号を生成し、生成したメモリコントロール信号を、コントロールバス100を介してSDRAM12に入力する。なお、メモリコントロール信号には、後述するコマンド(Command)信号や行アドレス・ストローブ(RAS)信号、および列アドレス・ストローブ(CAS)信号などが含まれる。このうち、行アドレス・ストローブ信号および列アドレス・ストローブ信号は、アドレスコンバータ38にも供給される。さらに、コマンド生成回路36は、CPU16, バッファ18またはバッファ20によるSDRAM12へのアクセスが終了したとき（具体的には、SDRAM12との間で転送すべきデータを転送し終えたとき）、上述のアクセス終了信号を生成する。

【0022】別のセレクタ30には、CPU16, バッファ18およびバッファ20の各々からアドレス(Address)信号が入力される。セレクタ30は、これらのアドレス信号のいずれか1つをアクノリッジ信号に従って選択し、選択したアドレス信号をアドレスコンバータ38に入力する。

【0023】アドレスコンバータ38は、上述したアクノリッジ信号、行アドレス・ストローブ信号および列アドレス・ストローブ信号に従って、セレクタ30から入力されるアドレス信号を行アドレス信号および列アドレス信号に変換する。そして、変換した行アドレス信号および列アドレス信号を、アドレスバス102を介してSDRAM12に入力する。

【0024】さらに別のセレクタ32には、CPU16, バッファ18およびバッファ20の各々との間でデータ(Data)を転送させるための転送ラインが接続されている。セレクタ32は、これらの転送ラインのいずれか1つをアクノリッジ信号に従って選択し、選択した転送ラインをデータバス104に接続する。

【0025】レディ信号生成回路40は、CPU16から与えられるコントロール信号、優先順位決定回路24から与えられるアクノリッジ信号およびカウンタから与

えられるリセット信号に基づいて、レディ(Ready)信号を生成し、生成したレディ信号をCPU16に供給する。このレディ信号は、“H”レベルまたは“L”レベルを示す2値の信号であり、当該レディ信号のレベルが“H”レベルのとき、CPU16の動作が能動化される。一方、レディ信号のレベルが“L”レベルのとき、CPU16の動作は不能化される。

【0026】カウンタ42は、CPU16によるSDRAM12へのアクセスを有効とするアクノリッジ信号が供給されたときに（厳密には、当該アクノリッジ信号が供給されてから後述するバスロック(CLK)信号の2クロック分だけ時間が経過したときに）、時間をカウントし始める。そして、このカウント値が上述した閾値Tcに達すると、当該カウント動作を終了して、上述のリセット信号を出力する。

【0027】このように構成されたメモリコントローラ14において、たとえば今、図3に示す時点t1でCPU16からSDRAM12に対してデータを書き込む旨のアクセス要求が成されたとする。すなわち、図3(a)のバスロック信号に同期して、コントロール信号に含まれる図3(b)の選択信号が“L”レベルから“H”レベルになるとともに、図3(c)の読み書き制御信号がデフォルトの“L”レベル（“L”レベルはデータの読み出しを表す。）からデータの書き込みを表す“H”レベルになったとする。そして、バスロック信号の次のサイクルで、図3(d)の転送状態信号が、CPU16がコマンド待ち状態であることを表す“IDLE”から、最初の1サイクル分のデータをバースト転送する旨を表す“NONSEQ(NO)”に遷移したとする。なお、このとき、CPU16のアドレス信号は図3(e)に示すように最初のアドレス“A0”を指示し、データ信号は図3(f)に示すように当該アドレス“A0”に対応する最初のデータ“D0”を指示する。さらに、バスロック信号の次のサイクルで、図3(d)の転送状態信号が、バースト転送中であることを表す“SEQ”に遷移するとともに、図3(e)のアドレス信号が次のアドレス“A1”を指示するようになる。

【0028】このように図3(b)の選択信号が“H”レベルを示し、かつ転送状態信号が“NONSEQ”となり終えた時点t2で、レディ信号生成回路40が、図3(g)に示すように“L”レベルのレディ信号を出力する。これによって、CPU16の動作が一時的に停止される。そして、リクエスト信号生成回路26が、図3(h)に示すようにアクティブ“L”的リクエスト信号をバスロック信号の1サイクル分だけ出力する。

【0029】このとき（時点t2においては）、優先順位決定回路24は、図3(k)に示すようにバッファ20によるアクセスを有効化する旨のアクノリッジ信号を生成しているものとする。そして、このアクノリッジ信号に従って、コマンド信号生成回路36が、図3(m)

に示すようにSDRAM12からデータを読み出すためのコマンド信号を出力しており、図3(n)に示すように当該コマンド信号に応答してSDRAM12からバッファ20にデータが読み出されているものとする。

【0030】コマンド信号生成回路36は、SDRAM12からバッファ20に一通りのデータを読み出し終えたと判断すると、上述したアクセス終了信号を生成し、このアクセス終了信号を優先順位決定回路24に供給する。バッファ20に読み出すためのデータ量は予め決まっているので、コマンド信号生成回路36は、当該予め決まったデータ量に基づいて、SDRAM12からバッファ20へのデータ転送が完了したか否かを判断する。このことは、バッファ18に蓄えられたデータをSDRAM12に書き込む場合も同様である。

【0031】優先順位決定回路24は、コマンド信号生成回路36からのアクセス終了信号の供給を受けてバッファ20によるアクセスが終了したことを認識したとき、図3(k)に示すようにCPU16によるアクセスを有効化する旨のアクノリッジ信号を生成する。

【0032】このアクノリッジ信号に応答して、図3の時点t3でレディ信号生成回路40が図3(g)のレディ信号の信号レベルを“H”レベルとする。これと同時に、カウンタ42が、時間のカウントを開始する。

【0033】レディ信号が“H”レベルである間、CPU16は、図3(a)のバスクロック信号に同期して図3(e)のアドレスおよび図3(f)のデータを順次更新する。つまり、バースト転送を継続する。これによって、コマンド信号生成回路24は、図3(m)に示すようにSDRAM12にデータを書き込むためのコマンド信号を生成するとともに、このコマンド信号に応答して、図3(n)に示すようにCPU16から出力されたデータがSDRAM12(詳しくは、CPU16からのアドレス信号で指定された領域)に順次記録される。

【0034】そして、図3の時点t4でカウンタ42によるカウント値が閾値Tcに達すると、カウンタ42はリセット信号を出力する。このリセット信号に応答して、レディ信号生成回路40は、図3(g)に示すようにレディ信号の信号レベルを“L”レベルとする。これによって、CPU16の動作が一旦停止する。これと同時に、リクエスト信号生成回路26が、図3(h)に示すようにリクエスト信号を出力する。また、コマンド信号生成回路36が、リセット信号の出力から少し経過した時点、詳しくは図3(n)に示すデータ“D7”的転送が終了した時点t5でアクセス終了信号を出力する。なお、この時点t5の前に、図3(i)および(j)に示すようにバッファ18およびバッファ20の各々からリクエスト信号が出力されているものとする。

【0035】リクエスト信号生成回路26から再度リクエスト信号が供給されたこと、およびコマンド信号生成回路36からアクセス終了信号が出力されたことを受け

て、優先順位決定回路24は、CPU16によるアクセスを強制的に停止すべく、アクノリッジ信号を切り換える。具体的には、図3(k)に示すように正規の優先順位に従ってバッファ18によるアクセスを有効化すべくアクノリッジ信号を生成する。これによって、コマンド信号生成回路36が、図3(m)に示すようにSDRAM12にデータを書き込むためのコマンド信号を生成する。そして、このコマンド信号に従って、図3(n)に示すようにバッファ18に蓄積されたデータがSDRAM12(詳しくは、バッファ18からのアドレス信号で指定された領域)に順次記録される。

【0036】コマンド信号生成回路36は、バッファ18からSDRAM12への一通りのデータを書き込み終えたと判断すると、上述したアクセス終了信号を生成し、このアクセス終了信号を優先順位決定回路24に供給する。これによって、優先順位決定回路24はバッファ18によるアクセスが終了したことを認識し、図3(m)に示すように時点t6においてバッファ20によるアクセスを有効化する旨のアクノリッジ信号を生成する。

【0037】このアクノリッジ信号の生成に応答して、コマンド信号生成回路36は、図4(m)に示すようにSDRAM12にデータを書き込むためのコマンド信号を生成する。そして、このコマンド信号に従って、図4(n)に示すようにSDRAM12(詳しくは、バッファ20からのアドレス信号で指定された領域)からバッファ20に順次データが読み出される。なお、バッファ18およびバッファ20は、それぞれ、画像データを蓄積するためのSRAM(Static RAM)44および46以外に、所定期間(=1/30[秒])毎にリクエスト信号を生成するためのコントローラ48および50を内蔵している。

【0038】このバッファ20へのデータの読み出しが一通り終わると、コマンド信号生成回路36はアクセス終了信号を生成する。そして、優先順位決定回路24が、このアクセス終了信号の供給に応答して、図4(k)に示すようにCPU16によるアクセスを有効化する旨のアクノリッジ信号を生成する。そして、このアクノリッジ信号に応答して、図4の時点t7において、レディ信号生成回路40が図4(g)のレディ信号の信号レベルを“H”レベルとするとともに、カウンタ42が時間のカウントを開始する。

【0039】これによって、CPU16は、図4(a)のバスクロック信号に同期して図4(e)のアドレスおよび図4(f)のデータを順次更新する。そして、コマンド信号生成回路24が、図4(m)に示すようにSDRAM12にデータを書き込むためのコマンド信号を生成するとともに、このコマンド信号に応答して、図4(n)に示すようにCPU16から出力されたデータがSDRAM12に順次記録される。

【0040】CPU16は、レディ信号が再度“L”レベルになる前（すなわちカウンタ12のカウント値が再度閾値Tcに達する前）に、転送すべきデータを全て転送し終えたと判断すると、その時点t8で選択信号を“L”レベルとするとともに、読み書き制御信号を“L”レベルとして、一連のアクセス動作を終了する。また、CPU16は、アドレスの更新終了と同時に、転送状態信号を“IDLE”とする。なお、このCPU16によるアクセス動作が終了した後、バッファ18およびバッファ20のいずれからかリクエスト信号が出力されるまでの間、優先順位決定回路24は、CPU16によるアクセスを有効化する旨のアクノリッジ信号を出力し続ける。ただし、CPU16は、選択信号を“L”レベルとして自身を不能化しているので、図4(e)のアドレスおよび図4(f)のデータがどのような状態になっていようと、周囲の回路に何ら影響を与えない。一方、時点t7から時間Tcが経過した時点でも未だCPU16によるアクセスが終了していない場合には、図3の時点t4以降と同様の動作を繰り返す。

【0041】図5を参照して、優先順位決定回路24の詳細について説明する。この図5に示すように、優先順位決定回路24は、4つのレジスタ52、54、56および58とデコーダ60とを含む。このうちレジスタ52および54にリクエスト信号生成回路26からのリクエスト信号が入力される。そして、レジスタ56にバッファ18からのリクエスト信号が入力され、レジスタ58にバッファ20からのリクエスト信号が入力される。各レジスタ52～58は、入力されたリクエスト信号を保持し、レジスタ52を除く3つのレジスタ54、56および58に保持されたリクエスト信号はデコーダ60に入力される。デコーダ60は、入力されたリクエスト信号に対して、上述した優先順位に従ってアクノリッジ信号を出力する。

【0042】なお、レジスタ54～58には、コマンド信号生成回路36からアクセス終了信号が供給される。各レジスタ54～58は、当該アクセス終了信号の供給に応答して保持内容（リクエスト信号）をリセットする。また、レジスタ52は、レジスタ54の保持内容がリセットされたときに、自身が保持しているリクエスト信号をレジスタ54に入力する。したがって、図3の時点t4においてリクエスト信号生成回路26から2度目に输出されたリクエスト信号は、アクセス終了信号によってリセットされずにレジスタ54内に残る。そして、このレジスタ54内に残ったリクエスト信号が、図4の時点t8においてレディ信号を“H”レベルとするのに有効となる。

【0043】このメモリコントローラ14の一連の動作に対して、CPU16は、図6のフロー図で示される各処理を実行する。なお、この図6のフロー図に従ってCPU16の動作を制御するためのいわゆる制御プログラ

ムは、当該CPU16が内蔵するプログラムメモリ70に記憶されている。

【0044】図6を参照して、操作キーが操作されると、CPU16は、ステップS1に進み、選択信号を“H”レベルとする。そして、ステップS3において、当該操作キーによる操作内容に応じて読み書き制御信号を“H”レベルまたは“L”レベルとした後、ステップS5に進む。

【0045】ステップS5において、CPU16は、SDRAM12に指定すべき最初のアドレスを設定し、ステップS7において、当該設定したアドレスに対応する最初のデータを設定する。そして、ステップS9において転送状態信号を“NONSEQ”とした後、次のステップS11において当該転送状態信号を“SEQ”とする。

【0046】ステップS11の処理後、CPU16は、ステップS13に進み、次のデータが有るか否か（換言すれば、全てのデータを転送し終えたか否か）を判断する。ここで、次のデータが有る（未だ全てのデータを転送し終えていない）と判断すると、CPU16は、ステップS15に進み、当該次のデータに対応するアドレスを設定する。そして、ステップS17において、レディ信号が“H”レベルであるか否かを判断し、“H”レベルであるとき、次のステップS19に進む。

【0047】ステップS19において、CPU16は、さらに次のデータを設定し、この設定後、ステップS13に戻る。ステップS13において次のデータが無い（全てのデータを転送し終えた）と判断すると、CPU16は、当該ステップS13からステップS21に進む。そして、このステップS21において転送状態信号を“IDLE”とした後、ステップS23において選択信号を“H”レベルする。さらに、ステップS25において、読み書き制御信号をデフォルトの“L”レベルとし、この図6で示される一連の処理を終了する。

【0048】以上の説明から分かるように、メモリコントローラ14は、アクセス周期が規定されているバッファ18およびバッファ20からのアクセス要求と、不規則に与えられるCPU16からのアクセス要求とを調停し、これらバッファ18、バッファ20およびCPU16のいずれか1つのアクセスを有効化する。つまり、バス100～104を開放する。

【0049】ここで、CPU16のためにバス100～104を開放したとき、この開放した時間をカウンタ42によってカウントする。そして、カウントした時間が閾値Tcに達したとき、レディ信号を“L”レベルとすることでCPU16の動作を一旦停止する。そして、正規の優先順位に従ってバッファ18およびバッファ20のために順次バス100～104を開放した後、再度CPU16のためにバス100～104を開放する。したがって、バッファ18およびバッファ20による周期的なアクセスを保証することができ、ひいてはこれらバッ

ファ18およびバッファ20における処理の破綻を防止することができる。

【0050】なお、上述の実施例では、デジタルカメラにこの発明を適用する場合について説明したが、デジタルカメラ以外の装置にもこの発明を適用できることは言うまでもない。

【0051】また、メモリコントローラ14、CPU16、バッファ18およびバッファ20をASIC22によって一体に形成したが、これに限らない。すなわち、メモリコントローラ14のみをASICで構成し、CPU16、バッファ18およびバッファ20については各々個別の構成としてもよい。さらに、メモリコントローラ14をASICによるハードウェア構成とするのではなく、CPUやDSPなどを用いた処理によってソフトウェア的に構成してもよい。

【図面の簡単な説明】

【図1】この発明の一実施例の構成を示すブロック図である。

【図2】図1の実施例におけるSDRAMへのアクセスのタイミングを概念的に示す図解図である。

【図3】図2の関係をより詳細に示したタイミング図で*

*ある。

【図4】図3に続くタイミング図である。

【図5】図1の実施例における優先順位決定回路の詳細を示すブロック図である。

【図6】図1の実施例におけるCPUの動作を示すフロー図である。

【図7】デジタルカメラのメモリコントローラ周辺の構成を示すブロック図である。

【図8】図7の構成において従来のSDRAMへのアクセスのタイミングを概念的に示す図解図である。

【図9】図8の従来技術における問題点を説明するための図解図である。

【符号の説明】

10…バスコントロール回路

12…SDRAM

14…メモリコントローラ

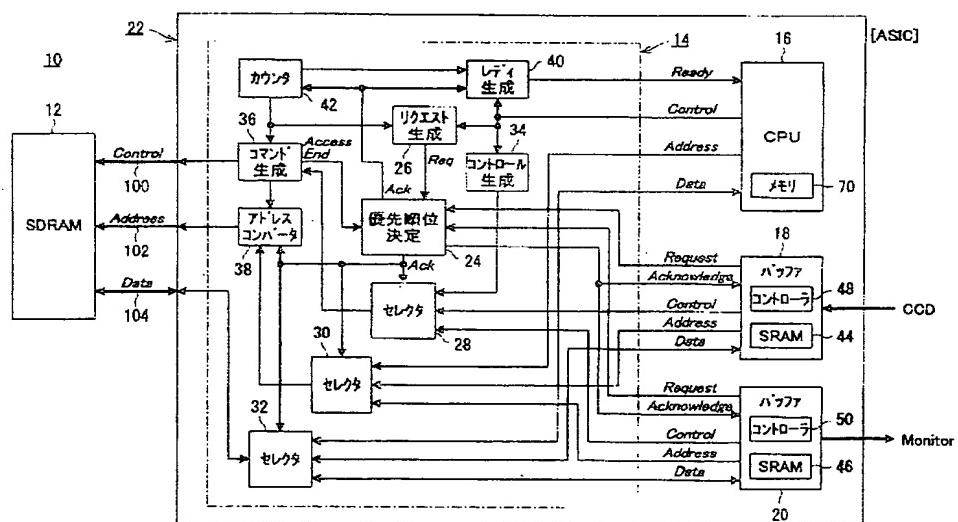
16…CPU

18, 20…バッファ

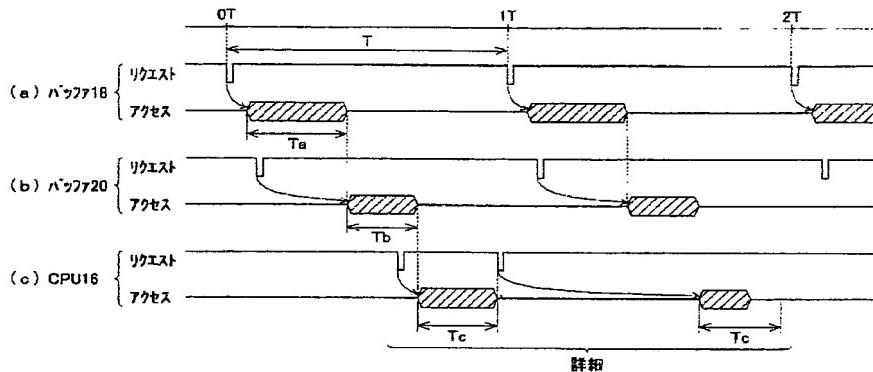
24…優先順位決定回路

20 42…カウンタ

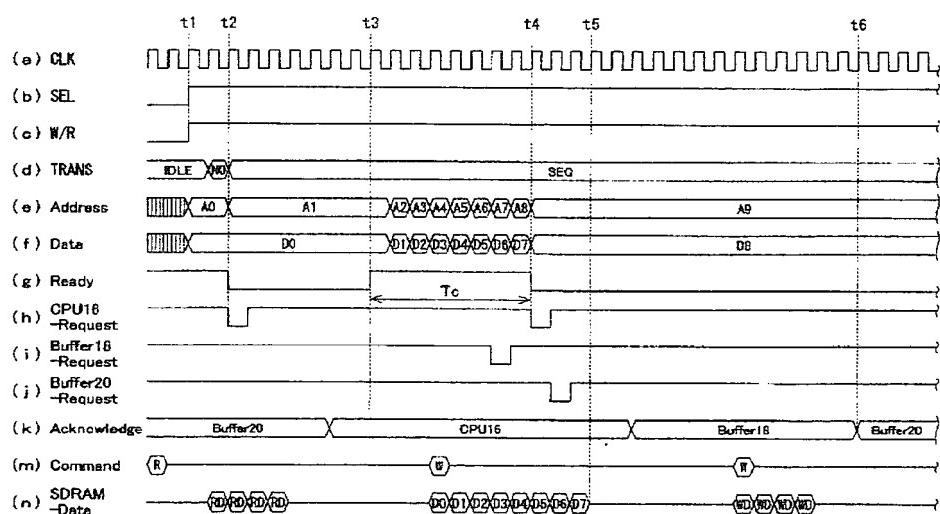
【図1】



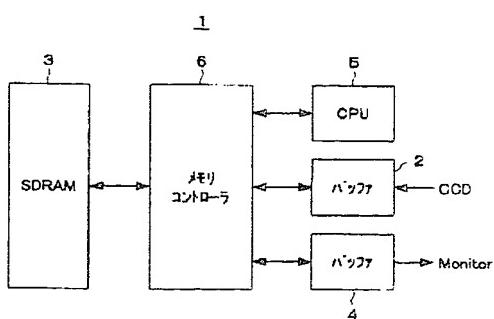
【図2】



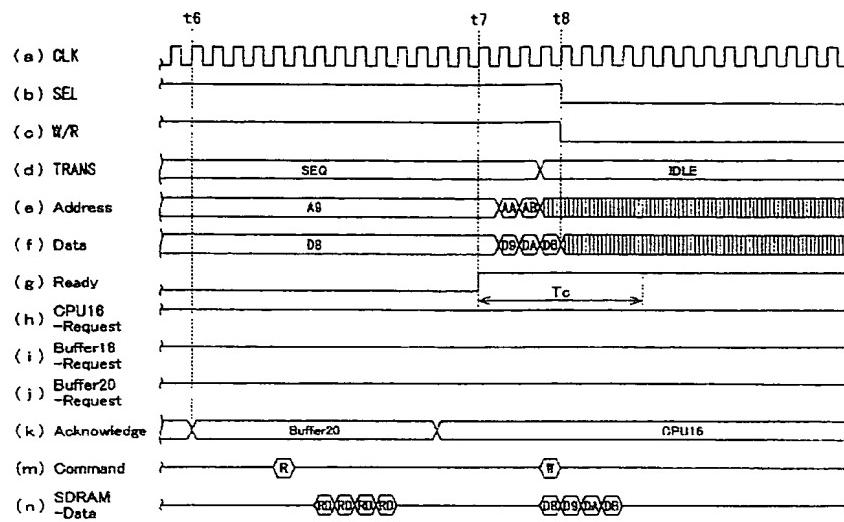
【図3】



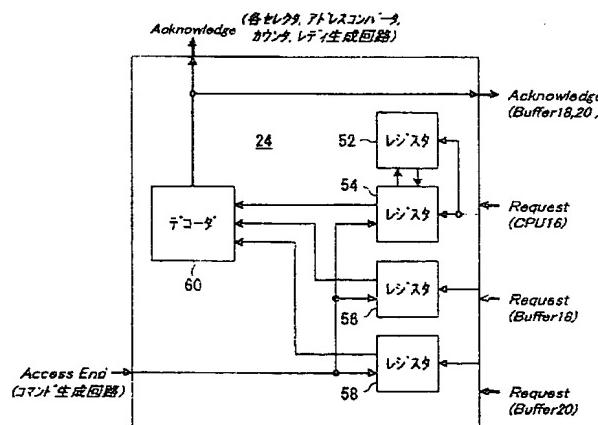
【図7】



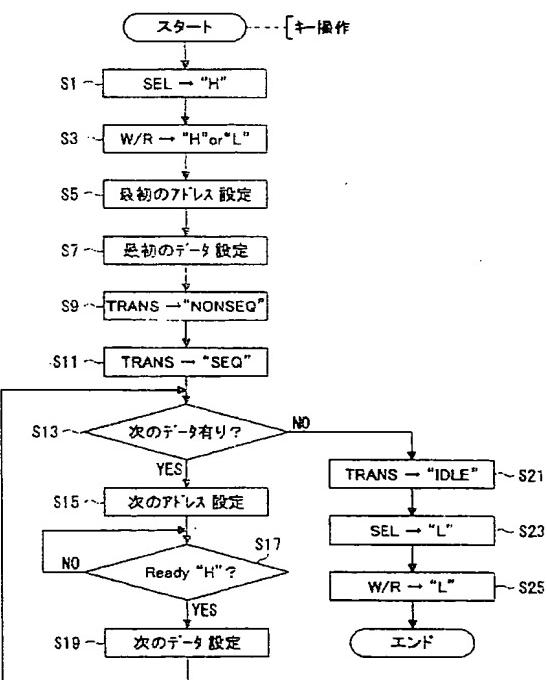
【図4】



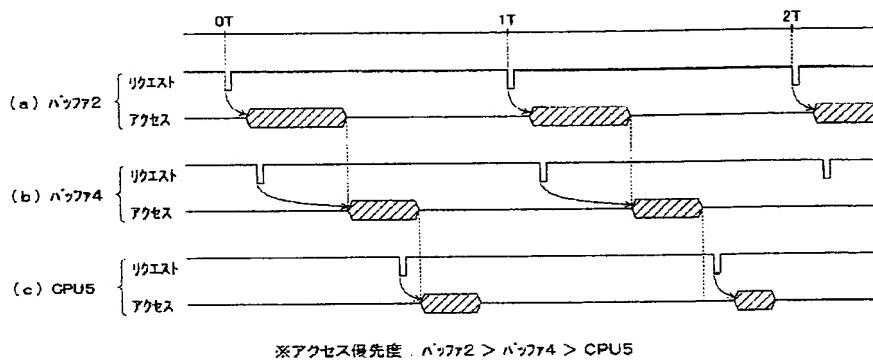
【図5】



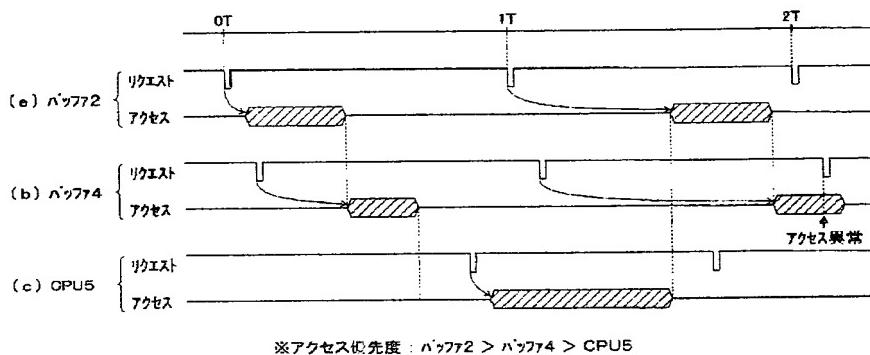
【図6】



【図8】



【図9】



フロントページの続き

Fターム(参考)
 5B060 CD13 KA03
 5B061 BA01 BB13 RR03
 5C022 AA13 AC00 AC03 AC69
 5C052 AA17 AB02 DD02 EE02 EE03
 GA02 GA06 GB01 GD01 GF01
 GF04